

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-150230
 (43)Date of publication of application : 08.07.1986

(51)Int.CI. H01L 21/76

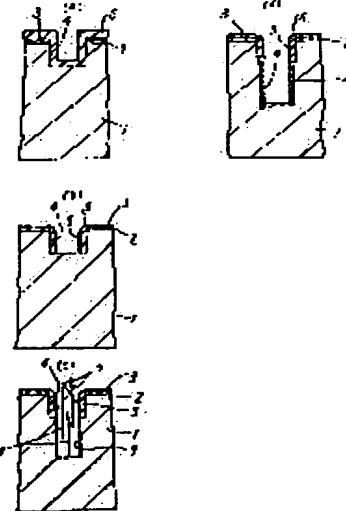
(21)Application number : 59-270917 (71)Applicant : HITACHI LTD
 HITACHI MICRO COMPUT ENG LTD
 (22)Date of filing : 24.12.1984 (72)Inventor : KATO HISAYUKI
 NAKAJIMA SHIYUU

(54) FORMATION OF GROOVE AND DIELECTRIC ISOLATION REGION

(57)Abstract:

PURPOSE: To enable to integrate highly an LSI or VLSI, by forming the opening corner of a groove in a tapered shape and by etching deeply the groove bottom to a predetermined depth with anisotropic dry etching.

CONSTITUTION: On a silicon substrate 1, thermal oxidizing forms an SiO₂ film, on which an Si₃N₄ film 3 is formed as a first mask. Next, a groove is patterned and the silicon substrate 1 is etched vertically to form a shallow groove. A CVD-SiO₂ film 5 is formed thickly and is then etched back with dry etching so as to expose the Si₃N₄ film 3, forming an opening corner 6 of the groove 4 in a tapered shape. Next, anisotropic dry etching more deeply etches the bottom of the groove 4 in the silicon substrate 1. Thus the CVD-SiO₂ film 5 formed on the side wall of the opening portion of the groove 9 can block incident ions when etching the bottom to prevent side etching, so that the vertical deep groove 9 with a narrow width can be formed easily and precisely in the silicon substrate 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭61-150230

⑫ Int.Cl.

H 01 L 21/76

識別記号

厅内整理番号

M-7131-5F

⑬ 公開 昭和61年(1986)7月8日

審査請求 未請求 発明の数 2 (全7頁)

⑭ 発明の名称 溝及び絶縁分離領域の形成方法

⑮ 特願 昭59-270917

⑯ 出願 昭59(1984)12月24日

⑰ 発明者 加藤 久幸 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑱ 発明者 中嶋 州 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内
⑲ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 出願人 日立マイクロコンピュータエンジニアリング株式会社 小平市上水本町1479番地
㉑ 代理人 井理士 高橋 明夫 外1名

明細書

発明の名称 溝及び絶縁分離領域の形成方法

特許請求の範囲

1. 半導体基板に浅い溝を形成し、その溝の底部を除き全面に異方性ドライエッティングに対するマスク部材を、前記溝の開口端角部がテーパー状をなすように形成する第1の工程と、次に前記異方性ドライエッティングにより前記溝の底部を所定の深さまで深くエッチする第2の工程と、を備えたことを特徴とする溝の形成方法。

2. 前記第1の工程は、半導体基板上に第1のマスク部材を形成し、この後この第1のマスク部材に対し溝部のバターニングを行ない、露出した半導体基板をエッティングして浅い溝を形成し、次に全面に第2のマスク部材を形成し、ドライエッティングにより前記第1のマスク部材が露出するまで前記第2のマスク部材をエッティングし、前記溝の底部を除き全面を前記第1及び第2のマスク部材からなるマスク部材で被覆する工程からなる特許請求の範囲第1項記載の溝の形成方法。

3. 前記第1のマスク部材としてSi₃N₄膜を用い、かつ前記第2のマスク部材としてCVD法によるSiO₂膜を用いてなる特許請求の範囲第2項記載の溝の形成方法。

4. 半導体基板に浅い溝を形成し、その溝の底部を除き全面に異方性ドライエッティングに対するマスク部材を、前記溝の開口端角部がテーパー状をなすように形成する第1の工程と、次に前記異方性ドライエッティングにより前記溝の底部を所定の深さまで深くエッチする第2の工程と、前記溝の内部の露出した半導体基板表面に第1の絶縁膜を形成する第3の工程と、前記溝内部に充填物を前記半導体基板表面近傍まで埋込み、この埋込んだ充填物の上面に第2の絶縁膜を形成して略平坦化する。第4の工程とを備えたことを特徴とする絶縁分離領域の形成方法。

5. 前記第1の工程は、半導体基板上に第1のマスク部材を形成し、この後この第1のマスク部材に対し溝部のバターニングを行ない、露出した半導体基板をエッティングして浅い溝を形成し、次に

全面に第2のマスク部材を形成し、ドライエッチングにより前記第1のマスク部材が露出するまで前記第2のマスク部材をエッチバックし、前記開口の底部を除き全面を前記第1及び第2のマスク部材からなるマスク部材で被覆する工程からなる特許請求の範囲第4項記載の絶縁分離領域の形成方法。

6. 前記第1のマスク部材としてSi₃N₄膜を用い、かつ前記第2のマスク部材としてCVD法によるSiO₂膜を用いてなる特許請求の範囲第5項記載の絶縁分離領域の形成方法。

7. 前記第4の工程において、前記充填物として多結晶シリコンを用い、その埋込んだ多結晶シリコンの表面を熱酸化してSiO₂膜を形成して略平坦化するようにした特許請求の範囲第4項ないし第6項のいずれか記載の絶縁分離領域の形成方法。

8. 前記第4の工程において、前記充填物として多結晶シリコンを用い、その埋込んだ多結晶シリコンの上面にCVD法によるSiO₂膜を形成し、エッチバックすることにより平坦化するようにし

(3)

しかも深い垂直な溝（又は穴）を形成する必要がある。しかしながら、溝の深さが2～3μmを超えると、RIE法でシリコン基板をエッティングする際、エッティングが進むと斜め入射イオン及びマスクの後退により溝の開口部側壁がエッチ（サイドエッチ）されるため、幅の狭い溝を深く形成できてもその溝形状たる型になったり先細りになったりして目的とする垂直に深い溝（又は穴）を形成することが困難である。

一方、たとえば窒化けい素膜が形成されたシリコン基板に垂直に深い溝を得ることができたとしても、素子分離領域を形成するためには熱酸化して溝の内壁に熱酸化膜を形成し、次に多結晶シリコンをCVD (Chemical Vapour Deposition) 法により埋込み、この後前記窒化けい素膜をストップとしてエッチバックし更に多結晶シリコン膜の表面を熱酸化することになる。

しかし、この場合には、最初に溝内部に熱酸化を形成すると溝の側壁の酸化スピードが速いため基板上部の酸化膜との膜厚差により溝の開口端

た特許請求の範囲第4項ないし第6項のいずれか記載の絶縁分離領域の形成方法。

9. 前記第4の工程において、前記第2の絶縁膜として、スパッタSiO₂膜又はスピンドルガラス膜を用いてなる特許請求の範囲第4項ないし第6項のいずれか記載の絶縁分離領域の形成方法。

発明の詳細な説明

【技術分野】

本発明は大規模集積回路（以下LSIと略称する。）や超大規模集積回路（以下、VLSIと略称する。）など集積回路装置に適用して迅速な溝及び絶縁分離領域の形成方法に関するものである。

【背景技術】

近年LSIからVLSIへと微細化及び高集積化技術の進展に伴ない、シリコン基板上に埋込み高抵抗（スタティックRAMなどに使用）や導通リキャバシタや溝張りアイソレーション領域（素子分離領域）を形成する必要がある。そのためには先ず、シリコン基板に反応性イオンエッティング（以下RIEと略称する。）法により幅の狭い、

(4)

角部で内側方向に大きなストレスが発生し、このストレスによりシリコン基板に結晶欠陥が生じることになる。更に多結晶シリコン膜の表面を熱酸化すると、形成される熱酸化膜の膜厚が膨れ上りこの膜厚増加のため溝の開口端角部に大きなストレスが生じ結晶欠陥ひいてはひび割れを引き起す原因となる。ひび割れとなるとリーク電流の発生となる。このため溝形状を単に垂直に深く形成した溝を用いただけでは素子分離領域を形成することができない。

なお、シリコン基板に深い溝を形成する技術に関する引例として、C. M. HORWITZ : IEEE TRANSACTIONS ON ELECTRON DEVICES ED-28, No. 11, Nov., 1981. や応用学会予講集'82秋（第43回）30-a-M-4及び'84春（第46回）1-a-X-6がある。またトレンチアイソレーション技術に関してT. Tanaki et.al Japan. J. Appl. Phys. (2.1.) 37 (1982) がある。

【発明の目的】

本発明の主目的は、LSIやVLSIの高集積化を可能ならしめる半導体技術を提供することにある。

本発明の他の目的は、幅が狭くかつ深くて垂直な溝（たとえば幅 $2\text{ }\mu\text{m}$ 以下で深さ $3\text{ }\mu\text{m}$ 以上の溝）を半導体基板に容易に形成することができる新規な溝の形成方法を提供することにある。

本発明の目的は、熱融解した場合でも熱融解によるストレスを除去ないし極力低減させ、半導体基板に欠陥（結晶欠陥）や更にはひび割れ、リーク電流が発生しないようにした信頼性の高い絶縁分離領域の形成方法を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【発明の概要】

本願において開示される発明の代表的なものの概要を簡単に説明すれば、下記の通りである。

すなわち、シリコン基板上に後記異方性ドライ

エッティングに対する第1のマスク部材（たとえばSi₃N₄膜）を形成し、この後この第1マスク部材に対し溝部のバーニングを行ない、露出したシリコン基板をエッティングして浅い、たとえば $2\sim3\text{ }\mu\text{m}$ の溝を形成し、次に全面に後記異方性ドライエッティングに対する第2のマスク部材（たとえばCVD法によるSiO₂膜）を形成し、ドライエッティングにより前記第1のマスク部材が露出するまで前記第2のマスク部材をエッチバックし、溝の底部を除き全面を前記第1及び第2のマスク部材で被覆すると共に溝の開口端角部をテーパー状となし、この後異方性ドライエッティング（たとえばRIE法）により溝の底部を所定の深さまでさらに深くエッチすることにより幅が狭く、しかも深くて垂直な溝（たとえば深さ $5\text{ }\mu\text{m}$ の溝）を容易に形成するものである。更にこの形成された溝の内部の露出したシリコン基板表面に第1の絶縁膜（たとえば熱融解によるSiO₂膜）を形成し、前記溝内部に充填物として多結晶シリコンをCVD法によりシリコン基板表面近傍まで埋込み、こ

(7)

の埋込んだ多結晶シリコン膜の上面に第2の絶縁膜（たとえば熱融解によるSiO₂膜又はCVD法によるSiO₂膜など）をシリコン基板表面が略平坦にとなるように形成することにより、従来の如き熱融解によるストレスを除かないし極力低減させ、シリコン基板に欠陥やひび割れ更にはリーク電流が発生しないように信頼性の高い絶縁分離領域（電子分離領域）を形成するものである。これらの溝及び絶縁分離領域の形成によりLSIやVLSIにおける高集積化の実現に大きく寄与するものである。

【実施例1】

第1図は本発明による溝の形成方法、特にVLSIにおける溝の形成方法の一実施例を示す要部工程断面図である。以下、第1図を用いて本発明の第1の発明である溝の形成方法について説明する。

同図(a)に示す如くシリコン基板1上に熱融解してSiO₂膜2を厚さ数百Å形成し、更にその上に第1のマスク部材としてのCVD法によるSi₃N₄膜3を1000Å位の厚に形成し、その

(8)

後たとえば幅 $2\text{ }\mu\text{m}$ 以下の溝部のバーニングをし、この後たとえばRIE法によりシリコン基板1を深さ約 $2\sim3\text{ }\mu\text{m}$ 垂直にエッチして浅い溝4を形成する。次にシリコンとドライエッティングの選択性の異なる第2のマスク部材としてのCVD法による蒸着膜たとえばCVD-SiO₂膜5を厚さ2000~3000Å形成する。

次にドライエッティングによりCVD-SiO₂膜5を同図(b)に示す如くSi₃N₄膜3が露出するまでエッチバックする。これにより溝4の開口角部6がテーパー状となる。

次に同図(c)に示す如くRIE法などの異方性ドライエッティング法により溝4の底部のシリコン基板1のシリコンを更に深くエッチして、シリコン基板表面からの深さをたとえば $5\text{ }\mu\text{m}$ とする。このときエッティングの際の斜め入射イオンによるイオン衝撃を受けやすい深さ $0\sim2\text{ }\mu\text{m}$ 部分の溝4の開口部側壁はシリコンが露出せずCVD-SiO₂膜5で覆われているため、矢印7で示す方向の斜め入射イオンにより側壁がサイドエッチさ

(9)

(10)

れるのを防止している。即ち構4の開口部側壁のCVD・SiO₂膜5が斜め入射イオンを阻止している。そして構4内では矢印8で示す垂直方向の入射イオンのHがシリコン基板1に作用して図示の如く垂直方向にエッチされるのである。

更に熱酸化を行ない、形成された構9内の露出したシリコン基板1表面に同図(d)に示す如くSiO₂膜1.0を厚さ500~600Å形成する。このとき構9の開口部はCVD・SiO₂膜5により、また開口端角部6はCVD・SiO₂膜5とSi₃N₄膜3により横方向への酸素(O₂)の侵入が阻止され、このためSi₃N₄膜3下のシリコン基板1は殆んど酸化されない。従って、バーズビーズが生せず、シリコン基板1に対するストレスが発生しない。

次に目的によっては同図(e)に示す如くウェットエッティングを行なってCVD・SiO₂膜5、SiO₂膜1.0を除去し、更に必要に応じSi₃N₄膜3、SiO₂膜2を除去する。これにより点線で囲む部分イフロにおける溝側壁の段差はCVD・

SiO₂膜5の内側が殆んど酸化されないため小さく、唯垂直な深い溝9'が得られる。また点線で囲む部分バニにおける開口端角部のテーパーの度合は少ないものが得られる。

以上のように、構9の開口部側壁にCVD・SiO₂膜5を設けエッティングの際の斜め入射イオンを阻止しサイドエッチを防止したことにより従来の如くたる形となったり、先細りとなったりせず幅の狭い、深く垂直な構9(同図(d)参照)をシリコン基板1に容易に、しかも高精度に形成することができる。そして従来の如きたる形とならず所定通り垂直な深い溝が形成でき寸法精度が増すことになりプロセスマージンが大となる。また熱酸化して構9の内部にSiO₂膜1.0を形成しても開口部側壁のCVD・SiO₂膜5により横方向の酸素(O₂)の侵入が阻止されるのにCVD・SiO₂膜5の内側が殆んど酸化されず、従ってバーズビーグが生せず、従ってシリコン基板1に対するストレスも発生せずシリコン基板1に結晶欠陥が生じない。更に同図(d)に示す如く形成

(11)

された構9の開口端角部6がテーパー状になっているため、この構8内に多結晶シリコンや純粋物などの充填物の埋込みが容易となる。更にまた構9又は9'を用いて特にVLSIの溝端キャバシタを形成したり、溝端リニアソーリング領域(絶縁分離領域)を形成したり、埋込み高低抗を形成したりするとことができる。このように信頼性の高い、高精度の構9、9'を用いることによりVLSIやLSIにおける高集積化(単位セルの縮小)に大きく寄与することができる。

【実施例2】

第2図(a)~(e)は本発明による絶縁分離領域の形成方法、特にVLSIにおける絶縁分離領域(電子分離領域)の形成方法の一実施例を示す要部工程断面図であって、第3図は第2図(e)に替わられる変形例を示すものである。以下本発明の第2の発明である絶縁分離領域の形成方法について第2及び第3図を用いて説明する。

先ず第2図(a)に示すように、シリコン基板1上にCVD法によてSi₃N₄膜を形成し、こ

(12)

の上更に第1のマスク部材としてのCVD・Si₃N₄膜1.3を厚く形成し、この後溝部のバターニングを行ない、チャンネルストップイオン(シリコン基板1がN型シリコン基板である場合にはP型のポロソイオン)を打込んでチャネルストップパ1.4を形成し、次にシリコン基板1をたとえばRIE法により約2~3μm(ここでは約2μmとする)エッチする。これにより浅い垂直な溝1.5を形成することができる。次にシリコンドライエッティングの選択性の異なる第2のマスク部材としてのCVD・SiO₂膜1.6を全面に図の如く形成する。

次に同図(b)に示すようにCVD・SiO₂膜1.6をドライエラシング法たとえばRIE法によりCVD・SiO₂膜1.3が露出するまでエッチバックする。これにより溝の開口端角部がテーパー状となる。

この後第1及び第2のマスク部材としてのCVD・SiO₂膜1.3及び1.6をマスクとして、浅い溝1.5の底部のシリコン基板1をRIE法などの

(13)

(14)

異方性ドライエッティング法により深くエッチして、シリコン基板11表面からの深さをたとえば5μmとする。この場合、前述した実施例1の場合と同様に溝の開口部側壁のCVD・SiO₂膜16によリエッティングの際の斜め入射イオンを阻止し、溝の開口部側壁がサイドエッチされるのを防止している。そして溝15内では垂直方向のイオンのみがシリコン基板と作用して垂直方向に深くエッチされるのである。更にCVD・SiO₂膜13をドライエッティング方たとえばRIE法によりSi₃N₄膜12が露出するまでエッチバックする。この後熱酸化を行ない同図(c)に示す如く形成された深い溝17内のシリコン基板表面にSiO₂膜18を形成する。このとき溝17の開口部はCVD・SiO₂膜16によりまた開口端角部はCVD・SiO₂膜16とSi₃N₄膜12により、横方向への酸素(O₂)の侵入が阻止され、このためSi₃N₄膜12下のシリコン基板11は殆んど酸化されない。従ってバースピークが生ぜず、シリコン基板11に対するストレスが発生しない。よ

(15)

SiO₂膜16及びSiO₂膜18, 20からなる絶縁物で覆われた形となる。なおこの熱酸化時においても、CVD・SiO₂膜16により横方向即ちSi₃N₄膜12下への酸素(O₂)の侵入が防止され、Si₃N₄膜12下のシリコン基板11が酸化されず、バースピークも生ぜずこれによるストレスも発生しない。また多結晶シリコン膜19の熱酸化により酸化された部分の膜厚がやや膨れ上り、この膜厚増加のため埋込まれた溝17の開口端角部にストレスが加わるのが、この開口端角部がテーパー状のため、前記ストレスを緩和させる(極力低減させる)ことができる。このようにシリコン基板11に加わるストレスを極力低減させることができ、従って結晶欠陥やひび割れの発生を防止でき、耐リーク電流を向上させることができる。また多結晶シリコン膜19はシリコン基板11の表面すれすれまで埋込まれており、しかも構造も微細であるため、多結晶シリコン膜19の酸化面積が少なくて済み、平坦化も容易に行なうことができる。

(17)

ってシリコン基板11に欠陥(結晶欠陥)も生じない。

次に同図(d)に示す如く溝17内の充填物としての多結晶シリコンをCVD法により堆積させ、これをエッチバックして図示の如く多結晶シリコン膜19をシリコン基板1の表面近傍まで溝17内に埋込む。ここで、多結晶シリコン膜19の表面を同図(e)に示す如く熱酸化する場合はシリコン基板11の表面すれすれ近くまで多結晶シリコン膜19を埋込み、また第3図に示す如く多結晶シリコン膜19の上にCVD・SiO₂膜21を形成する場合は、シリコン基板1の表面よりもやや低目に多結晶シリコン膜19を埋込むとよい。なお、溝17の開口端角部がテーパー状となっているため、多結晶シリコンの埋込みがきわめて容易となる。

次に同図(e)に示す如く多結晶シリコン膜19の表面を熱酸化してシリコン基板表面が略平坦となるようにSiO₂膜20を形成する。これにより充填物である多結晶シリコン膜19はCVD・

(16)

また同図(d)に示す如く多結晶シリコン膜19の表面を熱酸化する代わりに第3図に示す如くCVD・SiO₂膜を全面に形成した後エッチバックすることにより多結晶シリコン膜19の上面にCVD・SiO₂膜21を平坦となるように埋込むこともきわめて容易にできる。更にまたCVD・SiO₂膜21部分を薄くても埋込み能力の強いスパッタSiO₂膜やSOG膜を用いて形成してもよい。これらの場合、バースピークの問題やストレスの問題は当然生ぜず、シリコン基板11に欠陥やひび割れ、リーク電流の発生がない。またこれらのスパッタSiO₂膜やSOG膜を用いた場合、平坦化はきわめて容易である。

以上から、溝17の上部にあるCVD・SiO₂膜16により電子間のリーク電流及びラシチアップを防止でき、電子間分離が完全に行なえる信頼性の高い電子分離領域(絶縁分離領域)22を形成することができ、VLSI, LSIにおける高集積化(単位セルの縮小)に大きく寄与することができる。

—147—

(18)

【効果】

(1) 深い溝を更に深くエッチするときの異方性ドライエッティングに対するマスク部材が前記深い溝の側壁に形成されているので、このマスク部材により前記異方性トライエッティングの際の斜め入射イオンによるサイドエッチを防止することにより、幅の狭い、しかも深い垂直な溝（たとえば幅 $2 \mu\text{m}$ 以下で深さ $3 \mu\text{m}$ 以上の溝）を高精度にしかも容易に形成することができる。

(2) 前記1で形成された深い溝の内壁に熱酸化膜を形成した場合でも、前記マスク部材により前記溝上部の半導体基板の酸化が阻止されるので半導体基板にストレスが発生せず、従って欠陥（結晶欠陥）も生じない。

(3) 前記1で形成された深い溝の開口端角部がテーパー状をなしているので、多結晶シリコンや絶縁物などの埋込みが容易でありこの溝を利用して特にVLSIの構成リキャバシタ構成リニアインレーション領域、埋込み高低抗を形成することが容易となる。

(19)

（20）
絶縁分離領域）を形成することができる。

(8) 絶縁分離領域上面を容易に第2の絶縁膜により平坦化できる。

以上、本発明者によってなされた発明を実施例にもとづき具体的に説明したが本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、第1図においてCVD・ SiO_2 膜5を形成しているが、スパッタ SiO_2 膜を形成してもよく、要はシリコン基板1をエッチする異方性ドライエッティングに対するマスク部材であればよい。また第2図(d)において多結晶シリコンを埋込んでいるが、高低抗層として使わない以上、CVD・ SiO_2 膜などの絶縁物でもよい。

【利用分野】

以上の説明では主として本発明者によってなされた発明をその背景となつた利用分野であるVLSI半導体装置に適用した場合について説明したが、それに限定されるものではなく、たとえばLSIなどの半導体装置全般に適用できる。

(4) 特にLSI、VLSIにおける高集積化（単位セルの縮小）に大きく寄与することができる信頼性の高い高精度の溝を形成することができる。

(5) 前記溝の開口部側壁に形成したマスク部材により第1及び第2の絶縁膜と併せて素子間のリード電流及びラッチアップ現象の防止をより一層強化でき、素子間分離が完全に行なえる信頼性の高い素子分離領域（絶縁分離領域）を形成することができる。

(6) 従ってLSI、VLSIにおける高集積化（単位セルの縮小）に大きく寄与することができる高信頼度の素子分離領域（絶縁分離領域）を形成することができる。

(7) 第1及び絶縁膜を熱酸化膜で形成した場合でも前記マスク部材（開口端角部がテーパー状をなす）バースピーク現象の発生を防止し、ストレスを生じさせず又は極力低減させることができ、半導体基板欠陥（結晶欠陥）や更にはひび割れ、リード電流の発生を防止できる素子分離領域（絶縁分離領域）を形成することができる。

(20)

図面の簡単な説明

第1図(a)～(e)は本発明による溝の形成方法の一実施例を示す要部工程断面図。

第2図(a)～(e)は本発明による絶縁分離領域の形成方法の一実施例を示す要部工程断面図。

第3図は第2図(e)に置き換える变形例を示す要部断面図である。

1, 1.1…シリコン基板、3, 1.2… Si_3N_4 膜、4, 1.5…深い溝、5, 1.3, 1.6, 2.1…CVD・ SiO_2 膜、6…開口端角部、9, 9'…深い溝、1.0, 1.8, 2.0…熱酸化膜(SiO_2 膜)、1.7…深い溝、1.9…多結晶シリコン、2.2…素子分離領域（絶縁分離領域）。

代理人弁理士 高橋 明夫

(21)

—148—

(22)

